# 第2章作业part2

2.12 指令采用固定长度编码有哪些优点？也会带来哪些问题？

2.14 假设A和B是同一条总线所连接的两个存储器单元，总线位宽大于或等于存储单元的位数。现在需要将A单元的内容传送到B单元中，能否在一个总线周期内完成传送任务？为什么？

2.15 假设I*j*和I*j*+1是前后相继的两条指令，请举例说明指令流水线的“WAR”和“WAW”两种数据相关问题。

2.16 名称解释：（1）转移目标指令；（2）转移代价；（3）转移延迟槽；（4）BTB。

2.20 什么是同构多核与异构多核？采用异构多核的目的是什么，试举例说明。

2.25 作为一种性能指标，MIPS是否能客观反映计算机的运算速度？为什么？

[非教材上的习题]

**[补充2.28]** 下列给出的处理器类型中，理想情况下，CPI(Cycle Per Instruction)为1的是（ ）

1. 单周期CPU（指令周期等于T周期）
2. 多周期CPU（指令周期对应多个T周期）
3. 基本流水线CPU
4. 超标量流水线CPU
5. 仅I、II
6. 仅I、III
7. 仅II、IV
8. 仅III、IV

**[补充2.29]** 若某计算机最复杂指今的执行需要完成5个子功能，分别由功能部件A~E实现，各功能部件所需时间分别为80ps、50ps、50ps、70ps和50ps，采用流水线方式执行指令，流水段寄存器延时为20ps，则CPU时钟周期至少为（ ）

1. 60ps
2. 70ps
3. 80ps
4. 100ps

**[补充2.30]** 下列给出的指令系统特点中，有利于实现指令流水线的是（ ）

1. 指令格式规整且长度一致
2. 指令和数据按边界对齐存放
3. 只有Load/Store指令才能对操作数进行存储访问
4. 仅I、II
5. 仅II、III
6. 仅II、III
7. I、II、III

**[补充2.31]** 在采用“取指、译码/取数、执行，访存、写回”5段流水线的处理器中，执行如下指令序列，其中s0、s1,s2、s3和t2表示寄存器编号。下列指令对中，不存在数据冒险的是（ ）

1. I1: add s2, s1, s0 //R[s2]←R[s1]+R[s0]
2. I2: load s3, [t2] //R[s3]←Memory[R[t2]], 加载地址为R[t2]的存储单元
3. I3: add s2, s2, s3 //R[s2]←R[s2]+R[s3]
4. I4: store s2, [t2] //Memory[R[t2]]←R[s2], 保存至地址为R[t2]的存储单元
5. I1和I3
6. I2和I3
7. I2和I4
8. I3和I4

**[补充2.32]** 改错题。

1. 标量处理器中可以利用单条流水线实现整数运算和浮点数运算的并行。
2. 流水线机制能够有效提高CPI (Cycles Per Instruction)和IPC(Instructions Per Cycle)。
3. 相比CISC，RISC处理器完成相同功能需要更多的指令，故采用同一个C程序在RISC上的执行时间长于CISC处理器。
4. 由于不是标量，向量处理器不能像标量处理器那样使用多条流水线。